

基于分离技术的数字电路多目标进化设计

杨 玲, 王友仁, 张 砦, 姚 睿

(南京航空航天大学 自动化学院, 江苏 南京 210016)

摘 要: 提出了一种基于真值表变量分离技术的数字电路进化设计方法. 该方法旨在减少待进化系统的输入输出位数, 将较难实现的整体进化系统分解成几个容易实现的进化子系统, 从而实现较大规模数字电路的进化设计. 同时结合多目标遗传算法, 优化电路结构. 并以加法器和乘法器为设计实例, 结果证明了该方法能有效进化出较大规模的数字电路, 得到的进化电路资源更少, 时延更短.

关键词: 进化硬件; 真值表变量分离技术; 多目标遗传算法; 数字电路

中图分类号: TP301.6

文献标识码: A

文章编号: 1000-7180(2011)02-0115-05

Multi-objective Evolutionary Design of Digital Circuits Based Partition Technology

YANG Ling, WANG You-ren, ZHANG Zhai, YAO Rui

(College of Automation and Engineering, Nanjing University of
Aeronautics and Astronautics, Nanjing 210016, China)

Abstract: Aiming at the scalability issue of evolvable hardware, partitioning truth table variable technique for digital circuit evolution is introduced. The method is to reduce the digits of inputs and outputs of the evolved system, that is to divide the intact target system which is evolved difficultly into several sub-systems which are evolved easily to evolve larger digital circuit. At the same time, multi-objective genetic algorithm is combined to optimize some parts of the circuit. Adder and Multiplier circuits are taken as examples. The experimental results prove that, by employing the proposed scheme, digital circuits can be designed with less resources and time delay more effectively in larger scale.

Key words: evolvable hardware; partition of truth table variable; multi-objective genetic algorithm; digital circuit

1 引言

进化硬件 (evolvable hardware, EHW) 是一种能根据环境变化而自主改变自身结构以适应环境的硬件电路, 是可重构硬件和进化算法相结合的产物. 其利用可重构硬件内部资源可重新配置的特性, 将进化算法作为组合优化和全局搜索的主要工具, 通过进化来寻找满足要求的电路或系统, 并且能够实时、自动地调整结构以适应外部条件的改变或者用户要求的变化^[1]. 其中, 数字电路的进化设计是进化硬件的主要研究方向之一.

目前数字电路的进化设计所能处理的电路规模非常有限, 这也是进化硬件面临的一个主要问题. 逻辑门级的进化^[2]作为最基本的电路进化方法, 对于大规模电路的设计会导致表征电路结构的染色体太长而进化速度缓慢, 甚至难以收敛^[3-4]. 为克服规模受限的问题, 提出了函数级的进化方法^[5], 使用高级函数单元取代逻辑门作为基本可重构单元. 该方法在一定程度上扩大了数字电路的规模, 但所进化的电路规模仍很有限, 同时需要人为设定函数单元的逻辑功能. 因此对于设定好的功能块, 并不能够完全满足其它不同电路的进化, 即不具有通用性^[6].

收稿日期: 2010-01-20; **修回日期:** 2010-03-15

基金项目: 国家自然科学基金项目 (60871009, 60501022); 航空科学基金项目 (2009ZD52045)

文中采用分解进化的思想,提出一种针对真值表变量的分离技术,将完整的真值表分解成多个较小真值表,得到进化子系统,进而构造规模更大的系统.该方法不仅减短染色体的长度,且不受具体电路的影响,更具通用性.为克服大规模电路资源消耗的问题,结合多目标遗传算法对电路结构进行优化.

2 基于真值表分离技术的数字电路进化设计方法

2.1 真值表分离技术原理基础

对于复杂度高的数字系统来说,进化设计往往不是一次就能简单完成的,通常采用自上而下的方法,将问题空间进行逐步分解来完成.将复杂数字系统分解为一系列简单子系统的思想源于普通的分离分解法,通过减少输入输出变量的数目来降低系统的复杂度.该方法包括以下两个方面:(1)对数字系统输入变量的分离;(2)对数字系统输出变量的分离.

真值表是对数字电路功能进行评估的最简单和最常用的方法.结合上述分离思想,文中以真值表为研究对象,将输入和输出变量进行同时分离,对输出变量的分离,即对每一位输出分开进化;对输入变量的分离,即输入组合的部分位数作为子系统的输入信号,其余位数作为对子系统输出的选通信号.将进化子系统输入变量的不同组合个数称为子系统尺寸,即当子系统输入变量位数为 n 时,子系统尺寸为 2^n .对应的真值表分离原理以一位全加器为例,子系统尺寸为4,如表1所示.

表1 一位全加器分离后的真值表

C_{n-1}	A	B	S	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由上述分离技术进化实现的电路结构图如图1所示.该进化电路共有4个进化子系统,每个子系统的输入变量均为 A_1A_2 ,输出变量由 A_0 作为选通信号来进行选择,得到最终输出.例如,实现 P_0 输出需

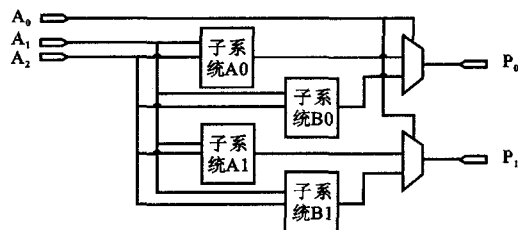


图1 分离进化电路结构图

要两个子系统 A_0 和 B_0 ,当 $A_0=0$ 时,选择子系统 A_0 的输出作为 P_0 输出,当 $A_0=1$ 时,选择子系统 B_0 的输出作为 P_0 输出.该技术将真值表的输入和输出比特位分别进行分离得到进化子系统,与以往基于功能模块的分解进化相比^[7],一方面克服了对功能模块选择的不确定性,另一方面旨在减少进化子系统的输入输出位数以减小进化搜索空间^[8].

当分离后的子系统仍然很复杂时,需要采用多级进化来实现.数字电路的多级进化思想源于双向递进化方法.电路系统首先被分解为若干个不同子系统,如果子系统仍然是较大规模的复杂电路系统,则继续进行分解,直到分解得到的电路子系统足够简单,然后将逐层分解得到的各个子系统作为进化的基本单元向复杂系统进化,最终得到目标电路.

这里以十输入一输出电路为例来说明该方法的实现过程,其设计原理如图2所示.

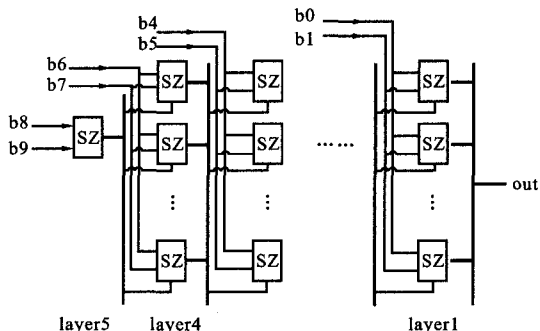


图2 多级分离进化设计原理图

图2中SZ代表真值子表.是以子系统尺寸为4的多级分离进化,每一个真值子表SZ代表一个进化基本单元,每一列为一级进化.除了第一级以外,其它级别的真值子表中的输出值已不是原来真值表的值,而是动态生成了新的输出值,生成标准为生成的数值作为选通信号,只要能够区分所代表的低级子系统即可.在第一级子系统中,各个模块的输入由低两位作为进化输入,依次类推,直到所有的输入变量完成分离,并分别作为各级模块的输入变量.上一级模块的输出信号作为下一级模块的选通信号,直到得到最终输出为止.该真值表多级分离技术实质

上是原真值表不断分离生成新的真值子表,最终通过进化和选通来实现电路功能,其中选通部分的连线也由进化来生成,并通过三态门来实现选通和“线与”功能。

分离后的进化系统使遗传算法在较小的搜索空间中寻找目标解,并且子系统的实现功能不需要人为设定。同时,由于分离后的进化子系统大大减少了输入输出位数,使算法的时间复杂度降低^[9],提高了进化成功率。

2.2 数字电路的进化实现

表示电路分离进化结构的染色体编码方案如图3所示。该染色体分成 N 段,每一段表示一个子系统,每个子系统采用门级进化,包括功能编码部分、连线编码部分和选通信号位,且均为实数编码。将所有子系统合成一条染色体,各子系统并行进化,由于它们占用不同的电路资源,各进化子系统相互独立。

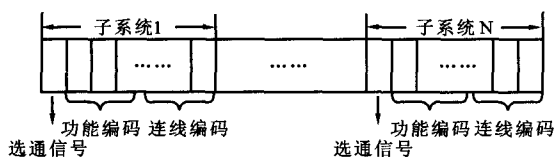


图3 染色体编码

遗传操作中选择算子采用锦标赛选择,在每代中保留10%的最优个体,同时结合单点交叉算子和固定变异率变异算子完成进化。

评价染色体的适应度函数为当前进化的各子系统电路的正确输出位数之和。当某个子系统完成进化之后会被锁定编码而不再参与进化操作,其它未进化成功的子系统继续进行,直到所有子系统进化完成后即得到目标染色体。与文献^[10]中为加快进化速度而采用的生长型进化策略相比,本文是将整个电路资源进行了分块,并单独进行进化,锁定的成功子系统的染色体不会对其它染色体进化产生影响。而生长型进化策略中是对某输出位成功进化的局部染色体锁定,会对其它输出产生影响,由于电路资源共享,导致其它部分输出无法进化成功。

3 电路多目标进化设计

为优化电路结构,采用多目标遗传算法寻找最优解。为解决多个目标函数带来的进化收敛速度缓慢的问题和最优非劣个体的选择与保存,利用经典的约束法和进化法中的小生境方法及最优个体存档保存等方法相结合来实现电路的多目标优化设计^[11]。基本模型如下:

$$\begin{cases} \text{目标函数项: Maximize } y=f(x)=f_h(x) \\ \text{约束函数项: } e_i(x)=f_i(x) \geq \varepsilon_i (1 \leq i \leq k, i \neq h) \\ x \in x_f \end{cases} \quad (1)$$

文中把电路逻辑功能作为目标函数,电路使用的逻辑门数和延迟级数作为约束函数进行进化。算法流程图如图4所示。

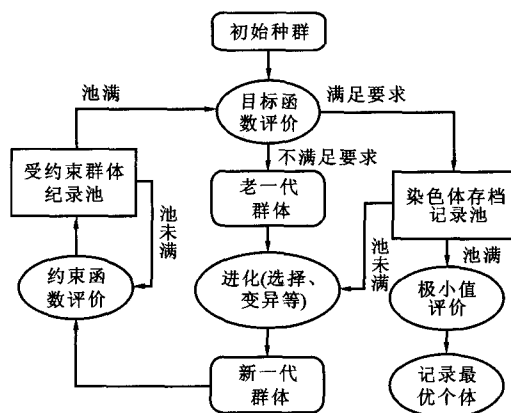


图4 多目标遗传算法流程图

4 实验结果与分析

文中选择加法器和乘法器为例进行实验,验证了基于分离技术的电路进化设计的有效性,并分别对单目标进化和多目标进化结果进行统计分析和比较,实现电路结构的优化。

4.1 电路进化结果分析

首先分别使用门级进化、函数级进化和真值表分离进化方法对四位乘法器电路进行进化设计,对进化的成功率作对比,结果如表2所示。

表2 不同进化方法成功率对比

进化方法	门级进化	函数级进化	真值表分离进化
成功率	85%	未改进策略 90% 生长型策略 88%	100%

由表2可以看出,门级进化和函数级进化对于较大规模数字电路的进化成功率都不能达到100%,即很难实现数字电路的成功进化,而采用基于真值表分离技术的分解进化方法,可以保证电路的成功进化。

在真值表分离进化设计中,由于子系统尺寸的选择对电路结构的影响较大,针对不同电路选择不同的子系统尺寸,对电路资源做了统计,见表3。

由表3可以看出,对同一电路来说,当选用的子系统尺寸越大,则多级分离进化后得到的子系统总数呈下降趋势,不同的子系统数也呈下降趋势,但不

同子系统占子系统总数的比例增大,说明资源利用率降低.这是因为随着分解的子系统尺寸越大,则分离后的子系统数量也相对越少,但是由于分离的尺寸越大,相似模块就越少,使得进化不同子系统所占的比例增加,即资源利用率不高.此外,对于每种不同子系统尺寸来说,进化基本模块所需要的平均门数也不同.子系统尺寸越小,则进化单元输入变量越少,由分离分解法可知,输入变量越少则电路越简单,相应的门数也将越少,由此得到的系统平均总的门数相对较少,且资源利用率较高.虽然小尺寸的子系统进化会增加模块阵列的级数,但是基本模块单元中门阵列的级数相应减少,从整体结构来说是可行的.

表 3 不同子系统尺寸的资源利用统计

电路	子系统尺寸	子系统总数	不同子系统数	不同子系统占比例
4+4	4	425	88	0.21
	8	185	54	0.29
	16	85	51	0.6
6+6	4	9555	392	0.04
	8	4095	290	0.07
	16	1911	154	0.08
4*4	4	340	70	0.21
	8	148	46	0.31
	16	68	34	0.5
6*6	4	8190	432	0.05
	8	3510	338	0.10
	16	1638	236	0.14
8*8	4	174760	2892	1.65e-2
	8	74904	1574	2.10e-2
	16	34952	1792	5.13e-2

由上述分析可见,对子系统尺寸的选择是一个关键因素,经过上述分析,文中采用子系统尺寸为4,即将二输入进化模块作为系统的基本模块进行进化.

本实验以4位加法器为例,电路整体结构如图5所示.在进化过程中,进化参数为:种群规模 $N=50$,最大进化代数 $I=30000$,变异率 $P_m=0.05$,基本逻辑门有 $F1 \& F2$, $F1 \cdot F2$, $\sim(F1 \cdot F2)$, $F1 | F2$, $\sim F1$ 五种.

在电路中,采用三态门来实现选通功能,并接成

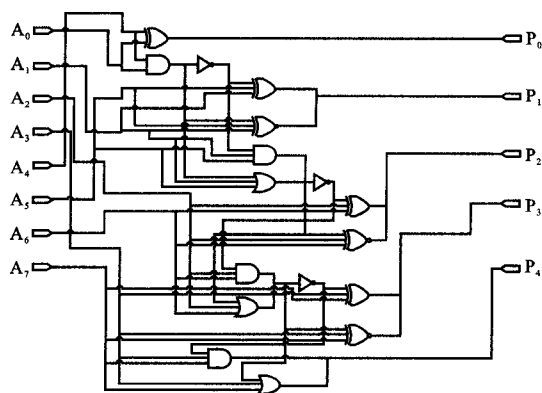


图 5 4 位加法器电路整体结构图

总线驱动结构.三态门的控制端为高电平有效,当控制端输入高电平时,三态门导通,实现基本门电路功能;当控制端输入低电平时,门电路不导通,没有输出信号.

4.2 电路多目标进化结果分析

文中通过对数字电路的多目标进化设计和单目标进化设计进行了30次对比实验,随机选取其中一个子系统为例,子系统尺寸为16,其电路结构如图6所示.可以看出,经多目标进化后逻辑门数和延迟级数都有减少,可见对于整个电路结构的优化是有效的.

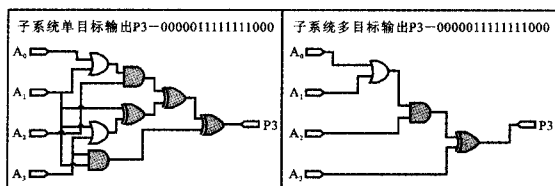


图 6 多目标与单目标进化电路结构比较

对4位加法器电路进化的统计结果如图7所示.从图7中的(a)、(b)可以看出,运用多目标遗传算法进化出的电路使用的逻辑门数和延迟级数明显比单目标遗传算法进化出的电路要少,这是因为在进化过程中,电路的性能指标作为多目标进化的约束函数,使得满足目标函数的解同时满足性能指标的要求.由单目标进化出来的电路偶尔也会找到最优解,但是几率很小.

从图7中的(c)可以看出使用多目标遗传算法使电路进化时间延长,这是由于对目标解约束条件的增加使得搜索解的时间也相应延长,但是由时间带来的影响与结构性能的提高相比还是微不足道的.实验证明,电路多目标进化设计得到的较大规模电路的资源更少,时延更短,有效改善了电路的性能,在一定程度上弥补了规模扩大带来的资源消耗的问题,达到了结构优化的目的.

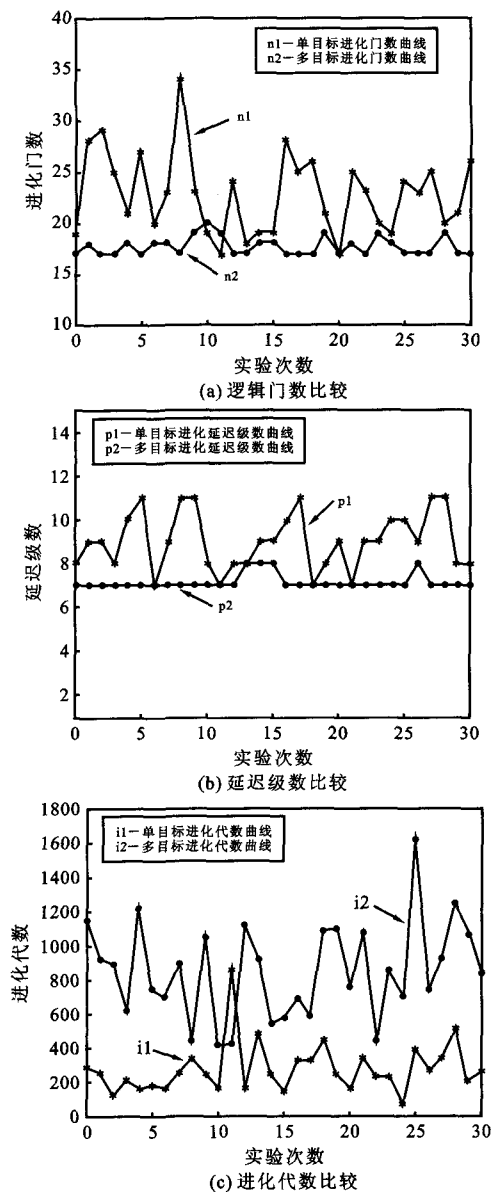


图7 多目标与单目标进化结果比较

5 结束语

文中以加法器和乘法器为研究对象,采用基于真值表变量的分离技术,通过对实验结果的分析 and 比较,证明了该方法能够有效进化出较大规模的数字电路。同时结合多目标遗传算法,实现电路结构的优化,并通过实例验证,说明了该方法可以有效地进化出资源更少、时延更短的数字电路。

参考文献:

[1] 时晨,黄士坦. 面向深空探测的演化计算机的概念探讨

[J]. 微电子学与计算机, 2006, 23(7): 1-3.

- [2] Bidlo M, Vasicek Z. Gate-level evolutionary development using cellular automata [C]// Proceedings of NASA/ESA Conference on Adaptive Hardware and Systems. Noordwijk, Netherlands, 2008: 11-18.
- [3] 朱向东, 权海洋. 演化硬件及面向演化的 VLSI 可重构体系结构设计[J]. 微电子学与计算机, 2007, 24(1): 94-97.
- [4] Lim M H, Li J H, Cao Q. On-line evolvable fuzzy system for ATM cell-scheduling[J]. Journal of Systems Architecture, 2006, 5(2): 169-183.
- [5] Glette K, Torresen J, Yasunaga M. Online evolvable pattern recognition hardware[J]. Studies in Computational Intelligence, 2009(213): 41-54.
- [6] Shanthi A P, Parthasarathi R. Practical and scalable evolution of digital circuits[J]. Applied Soft Computing, 2008, 9(2): 1-7.
- [7] Shanthi A P, Muruganandam P, Parthasarathi R. Enhancing the development based evolution of digital circuits[C]// Proceedings of NASA/DoD Conference on Evolution Hardware. Seattle, USA, 2004: 91-94.
- [8] Wang J, Lee C H. Introducing partitioning training set strategy to intrinsic incremental evolution[J]. Lecture Notes in Computer Science, 2006(4293): 272-282.
- [9] Glette K, Torresen J, Yasunaga M. Online evolution for a high-speed image recognition system implemented on a Virtex-II Pro FPGA[C]// Proceedings of Second NASA/ESA Conference on Adaptive Hardware and Systems. Scotland, United Kingdom, 2007: 463-470.
- [10] 姚睿, 于盛林, 王友仁, 等. 采用主流 FPGA 的数字电路在线生长进化方法[J]. 南京航空航天大学学报, 2007, 39(5): 582-587.
- [11] 祁荣宾, 钱锋, 杜文莉, 等. 基于精英选择和个体迁移的多目标遗传算法[J]. 控制与决策, 2007, 22(2): 164-168.

作者简介:

杨玲 女, 硕士研究生. 研究方向为演化硬件理论与技术研究.

王友仁 男, 博士生导师. 研究方向为演化硬件、可重构计算、电子设备在线测试与芯片级自修复.

张 睿 男, 博士研究生, 研究方向为电子系统自修复技术.

姚睿 女, 硕士生导师, 研究方向为演化硬件技术研究与应用.